



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0000072  
Application Number

출 원 년 월 일 : 2003년 01월 02일  
Date of Application JAN 02, 2003

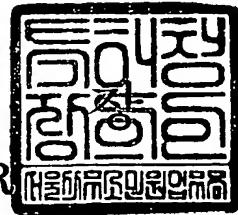
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 29 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.02
【발명의 명칭】	살리사이드층을 포함하는 반도체 소자 및 그 제조방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE HAVING SALICIDE LAYERS AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	최정민
【성명의 영문표기】	CHOI, JEONG MIN
【주민등록번호】	750609-1520221
【우편번호】	405-240
【주소】	인천광역시 남동구 만수동 983-1 삼환아파트 102동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	하태홍
【성명의 영문표기】	HA, TAE HONG
【주민등록번호】	690914-1101011
【우편번호】	442-738
【주소】	경기도 수원시 팔달구 영통동 청명마을4단지 401동 1804호
【국적】	KR
【심사청구】	청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)

**【수수료】**

【기본출원료】	20	면	29,000	원
【가산출원료】	8	면	8,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	10	항	429,000	원
【합계】			466,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

살리사이드층을 포함하는 반도체 소자 및 그 제조방법을 제공한다. 이 소자는 반도체 기판에 형성되어 활성영역을 한정하는 소자분리막과, 활성영역 상에 형성된 게이트 패턴과, 게이트 패턴 양측의 활성영역 내에 형성된 소오스/드레인 영역을 포함한다. 게이트 패턴의 측벽에 측벽 스페이서가 형성되고, 소자분리막 상부와 소자분리막에 인접한 활성영역의 일부분 상에 블로킹절연막이 형성된다. 블로킹절연막과 측벽스페이서 사이의 소오스/드레인영역에 실리사이드층이 형성된다. 이 소자의 제조방법은 반도체 기판에 소자분리막을 형성하여 활성영역을 한정하고, 활성영역 상에 게이트 패턴을 형성하고, 게이트 패턴 양측의 활성영역 내에 불순물을 주입하는 것을 포함한다. 반도체 기판 전면에 스페이서 절연막을 형성한다. 스페이서 절연막은 소자분리막으로부터 게이트 패턴으로 향할수록 두께가 얇아지는 영역을 갖도록 형성한다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

살리사이드층을 포함하는 반도체 소자 및 그 제조방법{SEMICONDUCTOR DEVICE HAVING SALICIDE LAYERS AND METHOD OF FABRICATING THE SAME}

**【도면의 간단한 설명】**

도 1 및 도 2는 종래의 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

도 3 내지 도 5는 본 발명의 제1 실시예에 따른 반도체 소자의 제조방법을 나타낸 공정 단면도들이다.

도 6 내지 도 9는 본 발명의 제2 실시예에 따른 반도체 소자의 제조방법을 나타낸 공정 단면도들이다.

도 10a 및 도 10b는 본 발명의 제3 실시예에 따른 반도체 소자의 제조방법을 나타낸 공정 단면도들이다.

도 11a 및 도 11b는 본 발명의 제4 실시예에 따른 반도체 소자의 제조방법을 나타낸 공정 단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 소자의 제조방법에 관한 것으로써, 더 구체적으로 소오스 영역 및 드레인 영역에 정렬된 실리사이드층을 형성하는 방법에 관한 것이다.

<7> 반도체 소자를 제조함에 있어서, 소오스/드레인 영역 및 폴리실리콘 게이트 상에 실리사이드층을 형성하는 공정이 제안되고 있다. 실리사이드층은 우수한 오믹콘택을 제공하고, 소오스/드레인 영역 및 폴리실리콘 게이트의 저항을 낮추고, 소오스/드레인 영역 및 폴리실리콘 게이트의 식각방지막 역할도 한다. 실리사이드층을 형성하기 위하여 제안된 일반적인 공정이 자기정렬 실리사이드 공정(self-aligned silicide process), 즉 살리사이드공정(salicide process)이다. 살리사이드공정은 실리콘산화막 및 실리콘질화막과는 반응하지 않고, 실리콘과 결합하는 금속막, 예컨대 코발트, 니켈 또는 티타늄을 형성하는 것을 포함한다. 상기 금속들은 실리콘과 반응하여  $\text{CoSi}_2$ ,  $\text{NiSi}$  또는  $\text{TiSi}_2$  등의 저저항 실리사이드를 형성한다. 게이트 전극 및 소오스/드레인 영역이 형성된 반도체 기판에 살리사이드공정을 적용하면 실리콘이 노출된 소오스/드레인 영역 및 게이트 전극 상에 정렬된 실리사이드층이 형성된다. 살리사이드 공정을 사용하면, 소오스/드레인 영역 및 게이트 전극 상에 얇고, 균일한 실리사이드층을 형성할 수 있다.

<8> 한편, 반도체 소자의 제조공정에 있어서, 단위소자들 사이의 전기적 격리를 위해 트렌치 소자분리막이 제공된다. 트렌치 소자분리막은 활성영역과의 경계에 텐트가 형성되는 문제가 있다.

<9> 도 1 및 도 2는 종래의 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

<10> 도 1을 참조하면, 반도체 기판(10)에 트렌치 소자분리기술을 적용하여 활성영역(14)을 한정하는 소자분리막(12)을 형성한다. 통상적으로 잘 알려진 것과 같이, 상기 활성영역(14)에 인접한 소자분리막(12)에 텐트가 형성될 수 있다.

<11> 도 2를 참조하면, 상기 활성영역(14) 상에 게이트 패턴(16)을 형성하고, 상기 게이트 전극(16)에 인접한 활성영역 내에 소오스/드레인 영역(18)을 형성하고, 상기 게이트 전극(16)의

측벽에 측벽스페이서(20)를 형성한다. 계속해서, 통상의 살리사이드 공정을 적용하여 상기 소오스/드레인 영역(18) 및 상기 게이트 패턴(16) 상에 실리사이드층(22)을 형성한다. 살리사이드 공정은 소오스/드레인 영역(18) 및 게이트 전극(16) 상에 얇고, 균일한 실리사이드층을 제공하기 때문에, 도시된 것과 같이 상기 활성영역(14)과 상기 소자분리막(12)의 경계에 텐트(D)가 있으면 그 표면굴곡(topology)를 따라 실리사이드층(22)이 형성된다. 즉, 상기 텐트(D)에서 상기 실리사이드층(22)은 기판 하부를 향해 깊은 스파이크(26)를 형성할 수 있다. 그 결과, 단채널효과 및 편치쓰루를 방지하기 위하여 얇게 형성되는 최근의 소오스/드레인 구조에서 상기 스파이크(26)를 통하여 전계가 집중되어 누설전류를 유발할 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <12> 본 발명이 이루고자 하는 기술적 과제는 소자분리막의 텐트에 실리사이드층을 형성되지 않은 반도체 소자 및 그 제조방법을 제공하는데 있다.
- <13> 본 발명이 이루고자 하는 다른 기술적 과제는 실리사이드층의 구조에 의한 누설전류를 막을 수 있는 반도체 소자 및 그 제조방법을 제공하는데 있다.
- <14> 본 발명이 이루고자 하는 또 다른 기술적 과제는 실리사이드층이 형성된 얇은 소오스/드레인 영역을 갖는 반도체 소자 및 그 제조방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

- <15> 상기 기술적 과제를 달성하기 위하여 본 발명은 소자분리막과 인접하는 활성영역에 블로킹질연막을 형성하여 실리사이드층이 형성되는 것이 방지된 반도체 소자를 제공한다. 이 소자는 반도체 기판에 형성되어 활성영역을 한정하는 소자분리막과, 상기 활성영역 상에 형성된 게이트 패턴과, 상기 게이트 패턴 양측의 활성영역 내에 형성된 소오스/드레인 영역을 포함한다.

상기 게이트 패턴의 측벽에 측벽스페이서가 형성되고, 상기 소자분리막 상부와 상기 소자분리막에 인접한 상기 활성영역의 일부분 상에 블로킹절연막이 형성된다. 상기 블로킹절연막과 상기 측벽스페이서 사이의 상기 소오스/드레인영역에 실리사이드층이 형성된다. 상기 실리사이드층은 상기 블로킹절연막의 가장자리 및 상기 측벽스페이서의 가장자리에 정렬된 경계를 가진다. 상기 측벽스페이서는 예컨대, L자형 단면을 가지는 내부스페이서 및 곡면측벽(curved sidewall)을 가지는 외부스페이서로 구성될 수 있다. 상기 내부스페이서는 상기 게이트 패턴의 측벽에 접하며 상기 게이트 패턴에 인접한 상기 활성영역 상에 형성되고, 상기 외부 스페이서는 상기 내부 스페이서 상에 형성되어 곡면측벽(curved sidewall)을 가진다.

- <16> 상기 소자분리막은 상기 활성영역에 인접한 부분에 텐트를 가질 수도 있다. 그러나, 상기 블로킹절연막이 상기 텐트 상에 형성되어 상기 텐트에는 실리사이드층이 형성되지 않는다.
- <17> 상기 기술적 과제를 달성하기 위하여 본 발명은 소자분리막과 인접하는 활성영역에 블로킹절연막을 형성하여 실리사이드층의 형성을 방지하는 반도체 소자의 제조방법을 제공한다. 이 방법은 반도체 기판에 소자분리막을 형성하여 활성영역을 한정하고, 상기 활성영역 상에 게이트 패턴을 형성하고, 상기 게이트 패턴 양측의 상기 활성영역 내에 불순물을 주입하는 것을 포함한다. 상기 게이트 패턴을 포함하는 반도체 기판 전면에 스페이서 절연막을 형성한다. 상기 스페이서 절연막은 상기 소자분리막으로부터 상기 게이트 패턴으로 향할수록 두께가 얇아지는 영역을 갖도록 형성한다. 본 발명의 일 양태에서, 상기 스페이서 절연막은 반응원자의 평균자유경로(mean free path)가 긴 챔버분위기에서 증착함으로써 상기 게이트 패턴의 하부 에지 부근의 두께가 얕게 형성할 수 있다.
- <18> 상기 스페이서 절연막을 이방성식각하여 상기 게이트 패턴의 측벽에 측벽스페이서를 형성함과 동시에, 상기 소자분리막 및 상기 소자분리막에 인접한 상기 활성영역의 일부분 상에

블로킹 절연막을 잔존시킨다. 상기 반도체 기판에 실리사이드화 공정을 적용하여 상기 블로킹 절연막과 상기 측벽스페이서 사이의 상기 소오스/드레인영역에 실리사이드층을 형성한다. 상기 블로킹 절연막 상에는 실리사이드층이 형성되지 않기 때문에 상기 실리사이드층은 상기 블로킹 절연막의 가장자리 및 상기 측벽스페이서의 가장자리에 정렬된 경계를 가진다.

<19> 본 발명의 일 양태에서 상기 스페이서 절연막은 높은 플라즈마 파워에서 식각함으로써, 게이트 패턴과 인접한 영역의 식각속도를 증가시켜 상기 소자분리막과 인접하는 활성영역 상에 블로킹 절연막이 잔존하도록 측벽스페이서를 형성할 수 있다.

<20> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<21> 도 3 내지 도 5는 본 발명의 일 실시예에 따른 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

<22> 도 3을 참조하면, 반도체 기판(50)에 소자분리막(52)을 형성하여 활성영역(54)을 한정한다. 상기 소자분리막(52)은 통상의 얇은 트렌치 소자분리(STI; shallow trench isolation)기술을 사용하여 형성할 수 있다. 얇은 트렌치 소자분리기술을 사용하여 트렌치 소자분리막을 형성할 경우, 활성영역(54)과 경계부근에 덴트(D)가 형성할 수 있다. 덴트의 형성을 방지하기 위한

다양한 소자분리막 형성기술이 제안되고 있으나, 소자분리공정 이후의 습식식각 또는 습식세정공정에 의해 덴트가 형성될 가능성은 충분히 남아 있다.

<23> 상기 활성영역(54) 상에 게이트 패턴(56)을 형성한다. 도시되진 않았지만, 상기 게이트 패턴(56)은 상기 활성영역(54) 및 소자분리막(52) 상부를 가로질러 배치된다. 상기 게이트 패턴(56)이 형성된 반도체 기판(50) 상에 스페이서 절연막(60)을 형성한다. 상기 스페이서 절연막(60)은 실리콘산화막 또는 실리콘질화막으로 형성할 수 있다.

<24> 상기 스페이서 절연막(60)은 상기 게이트 패턴(56)에 인접한 부분에는 얇게 형성되고, 상기 게이트 패턴(56)으로 부터 상기 소자분리막(52)을 향해 갈수록 두껍게 형성한다. 물질막을 형성할 경우 3차원효과(3D effect) 또는 그림자효과(shadowing effect)라고 하는 증착특성에 의해, 도시된 것과 같이, 상기 스페이서 절연막(60)은 게이트 패턴(56)의 상부 에지부근에서 가장 두껍고, 상기 게이트 패턴(56)의 하부 에지 부근, 즉 게이트 패턴(56)에 인접하는 활성영역(54) 상에 가장 얇게 형성된다.

<25> 그림자 효과는 반응기체의 평균자유경로(mean free path)가 길고, 표면이동도(surface migration)이 낮을 때 더욱 더 커진다. 따라서, 상기 스페이서 절연막(60)은 저온, 저압의 챔버분위기에서 형성하는 것이 효과적이다. 바람직하게는 LPCVD법으로 형성된 LTO(low temperature oxide) 또는 LTN(low temperature nitride)로 상기 스페이서 절연막(60)을 형성할 수 있다.

<26> 도 4를 참조하면, 상기 스페이서 절연막(60)을 이방성 플라즈마 식각법을 사용하여 식각하여 상기 게이트 패턴(56) 측벽에 측벽스페이서(60s)를 형성한다. 이 때, 상기 게이트 패턴(56)에 인접한 활성영역 상의 얇은 스페이서 절연막(60)은 완전히 제거하고, 상기 소자분리막(52)에 인접한 활성영역 상의 두꺼운 스페이서 절연막(60)은 잔존시켜 상기 덴트(D)를 덮는 블

로킹 절연막(60a)을 형성한다. 이 때, 상기 게이트 패턴(56)에 인접한 영역의 식각속도를 빠르게 함으로써, 상기 텐트(D)를 노출시키지 않고 상기 게이트 패턴(56)에 인접한 스페이서 절연막(60)을 제거할 수 있다. 일반적으로 식각시 챔버내의 바이어스 파워를 높여줌으로써 패턴에 인접한 영역에서의 식각속도를 빠르게 할 수 있다.

<27> 도 5를 참조하면, 상기 반도체 기판(50)에 실리사이드화 공정을 적용하여 상기 스페이서 절연막(60)과 상기 블로킹 절연막(60a) 사이에 노출된 활성영역(54)에 실리사이드층(62)을 형성한다. 이 때, 상기 게이트 패턴(56)을 폴리실리콘 단일층으로 형성할 경우, 상기 게이트 패턴(56)의 상부면에도 실리사이드층(62)이 형성된다. 본 발명에서 상기 텐트(D) 부근에는 실리사이드층(62)이 형성되지 않기 때문에, 종래기술과 같이 실리사이드층(62)의 구조에 의한 누설 전류의 흐름을 막을 수 있다.

<28> 도 6 내지 도 9는 본 발명의 제2 실시예에 따른 반도체 소자의 제조방법을 나타낸 공정 단면도들이다.

<29> 도 6을 참조하면, 반도체 기판(50)에 소자분리막(52)을 형성하여 활성영역(54)을 한정한다. 상기 활성영역(54) 상에 게이트 패턴(56)을 형성한다. 상기 소자분리막(52)은 얇은 트렌치 소자분리 기술을 사용하여 형성한다. 이 경우, 상기 활성영역(54)에 인접한 부분의 상기 소자분리막에는 텐트(D)가 형성될 수 있다. 상기 반도체 기판(50)에 열산화공정을 적용하여 버퍼산화막(70)을 형성한다.

<30> 도 7을 참조하면, 상기 버퍼 산화막(70)이 형성된 반도체 기판(50)의 전면에 실리콘질화막(72) 및 실리콘산화막(74)을 차례로 형성한다. 이 때, 상기 실리콘질화막(72) 및 상기 실리콘산화막(74) 중 적어도 하나는 상기 제1 실시예에서 언급한 바와 같이 상기 게이트 패턴(56)에서 상기 소자분리막(52)으로 향해 갈수록 두꺼워

지도록 형성한다. 즉, 상기 실리콘질화막(72) 및 상기 실리콘 산화막(74) 중 적어도 하나는 저온, 저압의 챔버분위기에서 형성하는 것이 효과적이다. 예컨대, 상기 실리콘질화막(72) 또는 상기 실리콘 산화막(74)은 낮은 온도의 LPCVD법으로 형성된 LTO(low temperature oxide) 또는 LTN(low temperature nitride)로 형성하는 것이 바람직하다.

<31> 도 8을 참조하면, 상기 실리콘산화막(74)을 이방성 플라즈마 식각법을 사용하여 식각하여 곡면의 측벽을 가지는 외부 스페이서(74s)를 형성하고, 상기 외부 스페이서(74s)를 식각마스크로 사용하여 상기 실리콘질화막(72)을 식각하여 상기 외부 스페이서(74s) 및 상기 게이트 패턴(56) 사이에 개재된 'L'자형 단면의 내부 스페이서(72s)를 형성한다. 이 경우, 상기 실리콘질화막(72) 및 상기 실리콘 산화막(74) 중 적어도 하나는 상기 게이트 패턴(56)으로 부터 멀어질 수록 두께가 두꺼워지기 때문에 상기 게이트 패턴(56)의 하부에지 부근의 활성영역(54)이 먼저 드러난다.

<32> 구체적으로 도 10a에 도시된 것과 같이, 상기 실리콘질화막(72) 및 상기 실리콘산화막(74) 모두 상기 게이트 패턴(56)에서 상기 소자분리막(52)으로 향해 갈수록 두꺼워지도록 형성할 수 있다.

<33> 도 10b를 참조하면 상기 실리콘산화막(74)을 등방성 식각하여 곡면의 측벽을 갖는 외부 스페이서(74s)를 형성하고, 상기 외부 스페이서(74s)를 식각마스크로 사용하여 상기 실리콘 질화막(72)을 등방성 식각하여 상기 외부 스페이서(74s) 및 상기 게이트 패턴(56) 사이에 개재된 'L'자형 단면의 내부 스페이서(72s)를 형성할 수 있다. 이 때, 상기 실리콘산화막(74) 또는 상기 실리콘 질화막(72) 중 적어도 하나는 높은 바이어스 파워 하에서 플라즈마 식각법을 사용하여 식각하는 것이 바람직하다.

<34> 이와 다른 방법으로, 도 11a에 도시된 것과 같이, 상기 실리콘질화막(72)은 콘포말하게 형성하고, 상기 실리콘산화막(74)은 상기 게이트 패턴(56)에서 상기 소자분리막(52)으로 향해 갈수록 두꺼워지도록 형성할 수 있다.

<35> 도 11b를 참조하면, 상기 실리콘산화막(74)을 이방성 식각하여 외부 스페이서(74s)를 형성함과 동시에 블로킹 산화막(74a)을 형성하고, 상기 외부 스페이서(74s) 및 상기 블로킹 산화막(74a)을 식각마스크로 사용하여 상기 실리콘질화막(72)을 이방성 식각하여 'L'자형 단면의 내부 스페이서(72s) 및 상기 블로킹 산화막(74a) 하부에 블로킹 질화막(72)을 형성할 수도 있다. 이 때, 상기 렌트(D) 상부의 실리콘 질화막(72)은 상기 블로킹산화막(74a)에 의해 보호되기 때문에 상기 실리콘 질화막(72)은 통상적인 이방성 식각법을 사용하여 식각할 수 있다.

<36> 결과적으로, 상기 게이트 패턴(56)의 측벽에는 'L'자형 단면의 내부 스페이서(72s) 및 곡면측벽의 외부 스페이서(74s)가 형성되고, 상기 렌트(D) 상부에는 블로킹 절연막(74a)이 형성된다.

<37> 도 9를 참조하면, 상기 반도체 기판에 실리사이드화 공정을 적용하여 블로킹 절연막(74a) 및 상기 스페이서(74s, 72s) 사이에 노출된 활성영역(54)에 실리사이드층(76)을 형성한다. 상기 게이트 패턴(56)의 상부면에도 실리사이드층(76)이 형성될 수 있다.

<38> 상기 외부 스페이서(74s)는 상기 실리사이드 공정 이전에 제거되어, 상기 게이트 패턴(56) 양측벽에는 'L'자형 단면의 측벽스페이서(72s)만 형성될 수도 있다.

**【발명의 효과】**

<39> 상술한 것과 같이 본 발명에 따르면, 살리사이드 소오스/드레인을 가지는 반도체 소자에 있어서, 소자분리막의 텐트 부근에는 실리사이드층이 형성되지 않은 반도체 소자를 제조할 수 있다. 따라서, 실리사이드층의 구조에 의한 누설전류의 흐름을 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판에 형성되어 활성영역을 한정하는 소자분리막;

상기 활성영역 상에 형성된 게이트 패턴;

상기 게이트 패턴 양측의 활성영역 내에 형성된 소오스/드레인 영역;

상기 게이트 패턴의 측벽에 형성된 측벽스페이서;

상기 소자분리막 상부와 상기 소자분리막에 인접한 상기 활성영역의 일부분 상에 형성된

블로킹절연막; 및

상기 블로킹절연막과 상기 측벽스페이서 사이의 상기 소오스/드레인영역에 형성되고, 상기 블로킹절연막의 가장자리 및 상기 측벽스페이서의 가장자리에 정렬된 경계를 갖는 실리사이드층을 포함하는 반도체 소자.

**【청구항 2】**

제1 항에 있어서,

상기 측벽스페이서는,

상기 게이트 패턴의 측벽에 접하며 상기 게이트 패턴에 인접한 상기 활성영역 상에 형성된 L자형 단면의 내부스페이서; 및

상기 내부 스페이서 상에 형성된 곡면측벽(curved sidewall)을 갖는 외부스페이서(outer spacer)를 포함하는 것을 특징으로 하는 반도체 소자.

**【청구항 3】**

제1 항에 있어서,

상기 소자분리막은 상기 활성영역에 인접한 부분에 텐트를 가지고,

상기 블로킹절연막은 상기 텐트 상에 형성된 것을 특징으로 하는 반도체 소자.

#### 【청구항 4】

제1 항에 있어서,

상기 게이트 패턴 상부면에 형성된 실리사이드층을 더 포함하는 것을 특징으로 하는 반도체 소자.

#### 【청구항 5】

반도체 기판에 소자분리막을 형성하여 활성영역을 한정하는 단계;

상기 활성영역 상에 게이트 패턴을 형성하는 단계;

상기 게이트 패턴 양측의 상기 활성영역 내에 불순물을 주입하는 단계;

상기 게이트 패턴을 포함하는 반도체 기판 전면에 스페이서 절연막을 형성하되, 상기 스페이서 절연막은 상기 소자분리막으로부터 상기 게이트 패턴으로 향할수록 두께가 얇아지는 영역을 갖도록 형성하는 단계;

상기 스페이서 절연막을 이방성식각하여 상기 게이트 패턴의 측벽에 측벽스페이서를 형성하고, 상기 소자분리막 및 상기 소자분리막에 인접한 상기 활성영역의 일부분 상에 블로킹절연막을 잔존시키는 단계; 및

상기 반도체 기판에 실리사이드화 공정을 적용하여 상기 블로킹절연막과 상기 측벽스페이서 사이의 상기 소오스/드레인영역에 상기 블로킹절연막의 가장자리 및 상기 측벽스페이서의 가장자리에 정렬된 경계를 갖는 실리사이드층을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

**【청구항 6】**

제5 항에 있어서,

상기 스페이서 절연막은 실리콘질화막 및 실리콘산화막을 적층하여 형성하되, 상기 실리콘질화막 및 상기 실리콘산화막 중 적어도 하나는 상기 소자분리막으로부터 상기 게이트 패턴으로 향할수록 두께가 얇아지는 영역을 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 7】**

제6 항에 있어서,

상기 측벽스페이서를 형성하는 단계는,

상기 실리콘산화막을 이방성 식각하여 상기 게이트 전극 양측에 곡면측벽(curved sidewall)을 갖는 외부스페이서(outer spacer)를 형성하는 단계; 및

상기 외부스페이서를 식각방지막으로 사용하여 상기 실리콘질화막을 식각하여 상기 외부스페이서와 상기 게이트 패턴 사이에 개재된 L자형 단면의 내부스페이서를 형성하는 단계를 포함하는 반도체 소자의 제조방법.

**【청구항 8】**

제5 항에 있어서,

상기 스페이서 절연막을 형성하는 단계는,

상기 반도체 기판 상에 실리콘질화막을 콘포말하게 형성하는 단계; 및

상기 실리콘질화막 상에 실리콘산화막을 형성하되, 상기 실리콘산화막은 상기 소자분리막으로부터 상기 게이트 패턴으로 향할수록 두께가 얇아지는 영역을 갖도록 형성하는 단계를 포함하고,

상기 측벽스페이서 및 블로킹절연막을 형성하는 단계는,

상기 실리콘산화막을 이방성 식각하여 상기 게이트패턴 측벽에 외부스페이서를 형성하고, 상기 소자분리막 및 상기 소자분리막에 인접한 활성영역의 일부분 상부에 블로킹산화막을 형성하는 단계; 및

상기 외부스페이서 및 상기 블로킹산화막을 식각마스크로 사용하여 상기 실리콘질화막을 식각하여 상기 외부스페이서 및 상기 게이트 패턴 사이에 개재된 내부스페이서와, 상기 산화막 스페이서 하부에 개재된 블로킹질화막을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

#### 【청구항 9】

제5 항에 있어서,

상기 스페이서절연막을 형성하는 단계는,

상기 반도체 기판 상에 실리콘질화막을 형성하되, 상기 실리콘질화막은 상기 소자분리막으로부터 상기 게이트 패턴으로 향할수록 두께가 얇아지는 영역을 갖도록 형성하는 단계; 및

상기 실리콘질화막 상에 실리콘산화막을 콘포말하게 형성하는 단계를 포함하고,

상기 측벽스페이서 및 블로킹절연막을 형성하는 단계는,

상기 실리콘산화막을 이방성 식각하여 상기 게이트패턴 측벽에 외부스페이서를 형성하는 단계; 및

상기 외부스페이서를 식각마스크로 사용하여 상기 실리콘질화막을 식각하여 상기 외부스페이서 및 상기 게이트 패턴 사이에 개재된 내부스페이서와, 상기 소자분리막 및 상기 소자분리막에 인접한 활성영역의 일부분 상에 블로킹질화막을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

#### 【청구항 10】

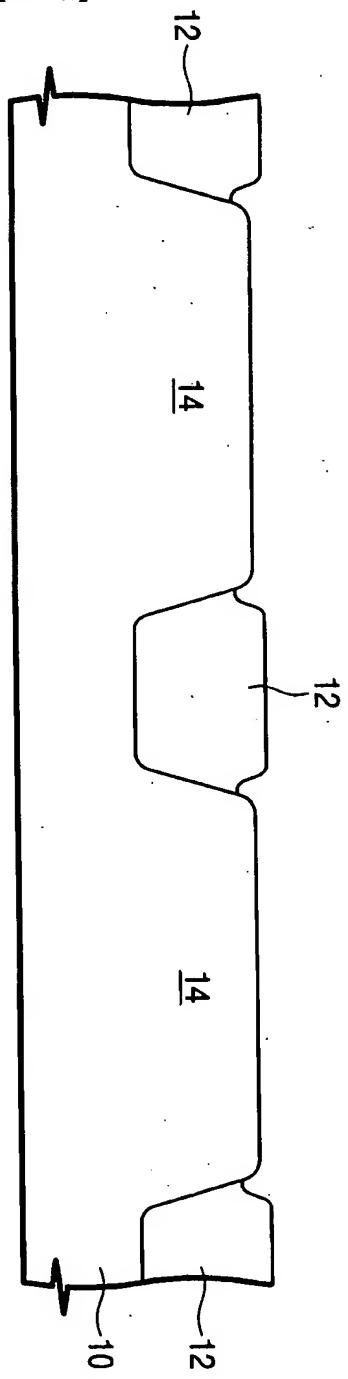
제5 항에 있어서,

상기 측벽스페이서를 형성하는 단계에서,

상기 소자분리막에 인접한 활성영역 상의 스페이서 절연막의 식각속도보다 상기 게이트 패턴에 인접한 활성영역 상의 상기 스페이서 절연막의 식각속도가 더 빠르게 이방성 식각하는 것을 특징으로 하는 반도체 소자의 제조방법.

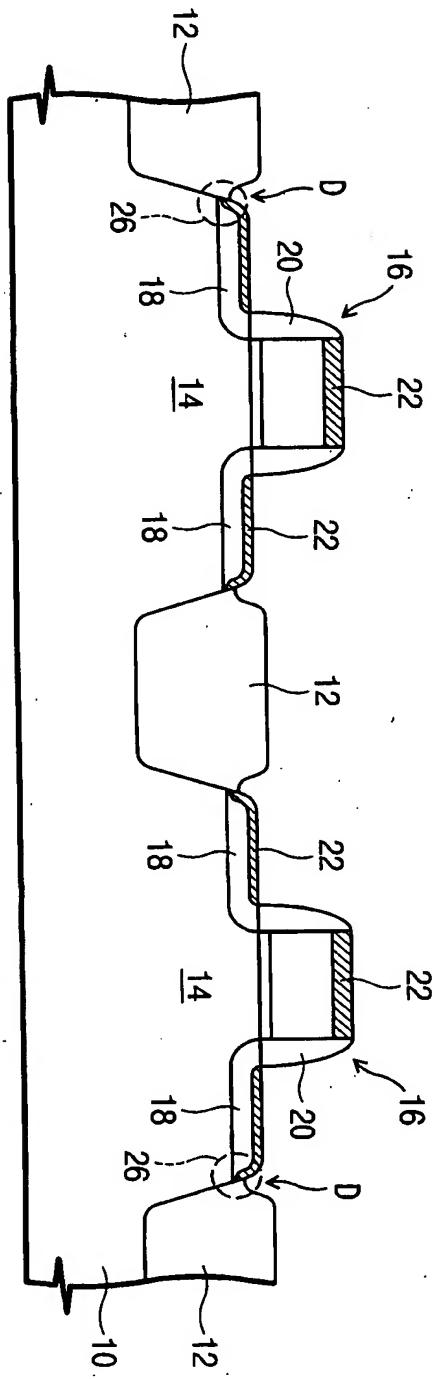
## 【도면】

【도 1】



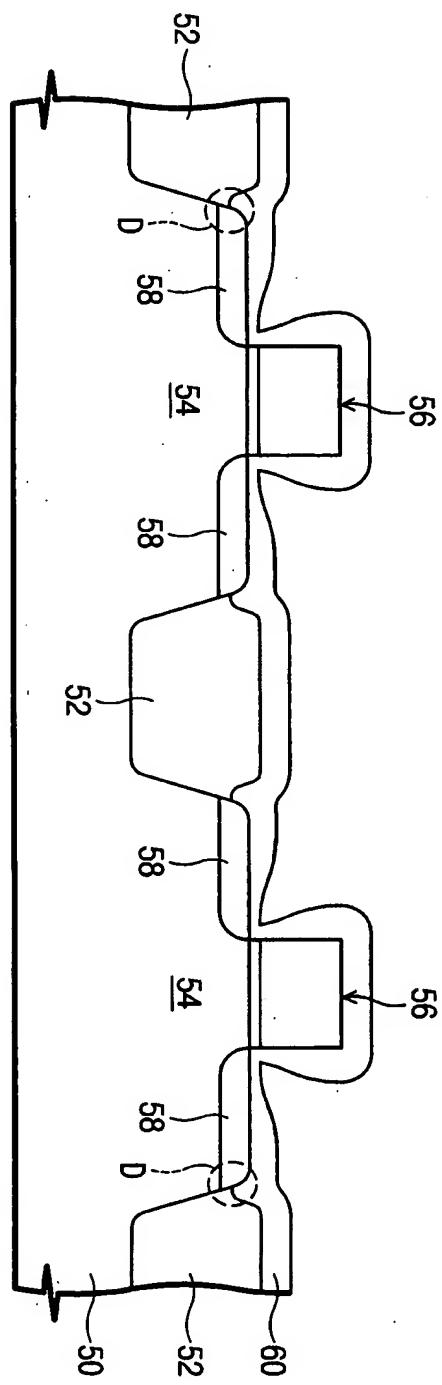
(종래 기술)

【도 2】

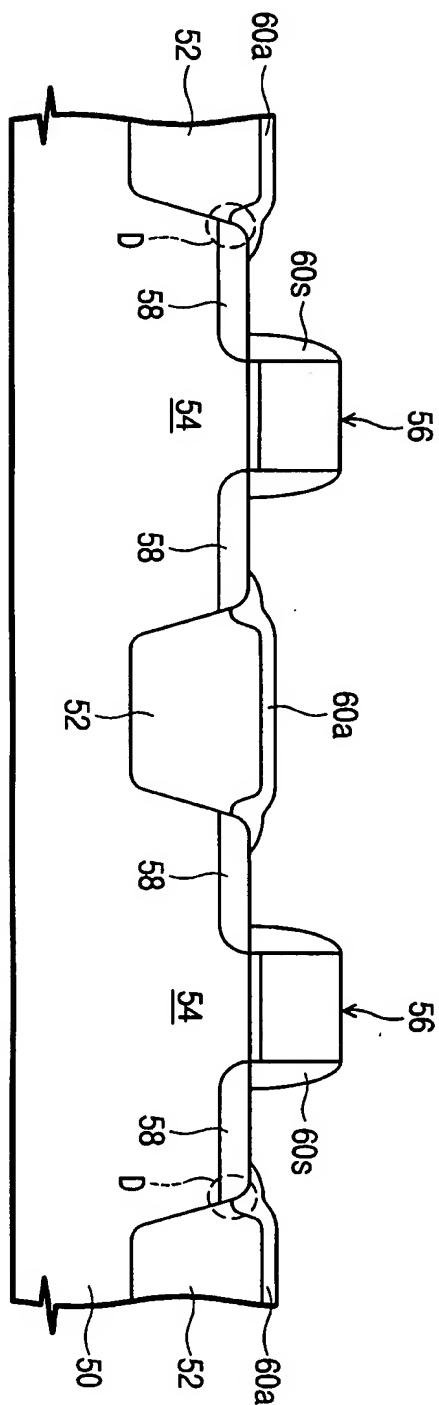


(종래 기술)

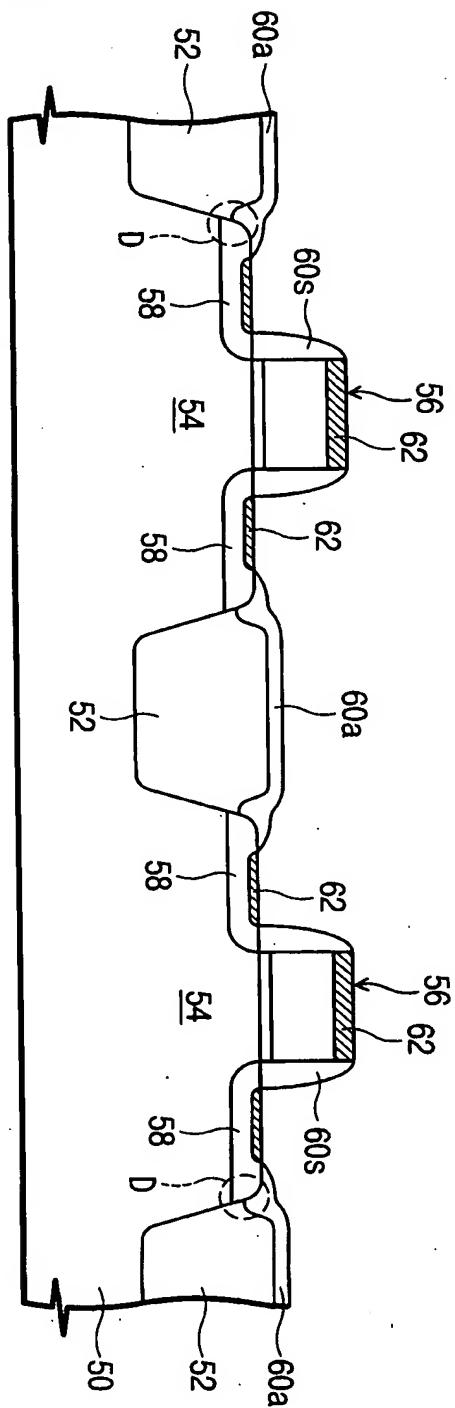
【도 3】



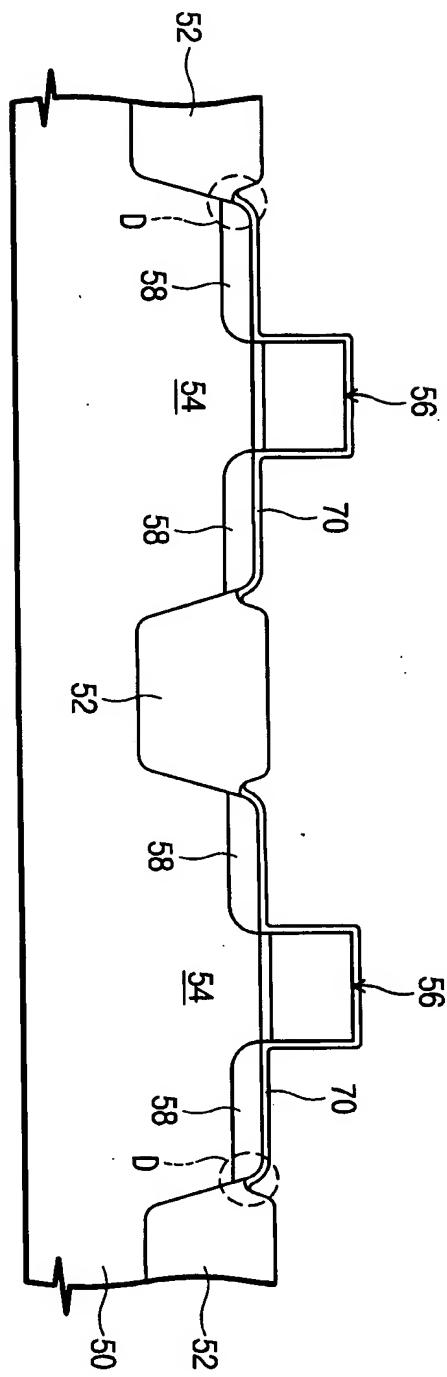
【도 4】



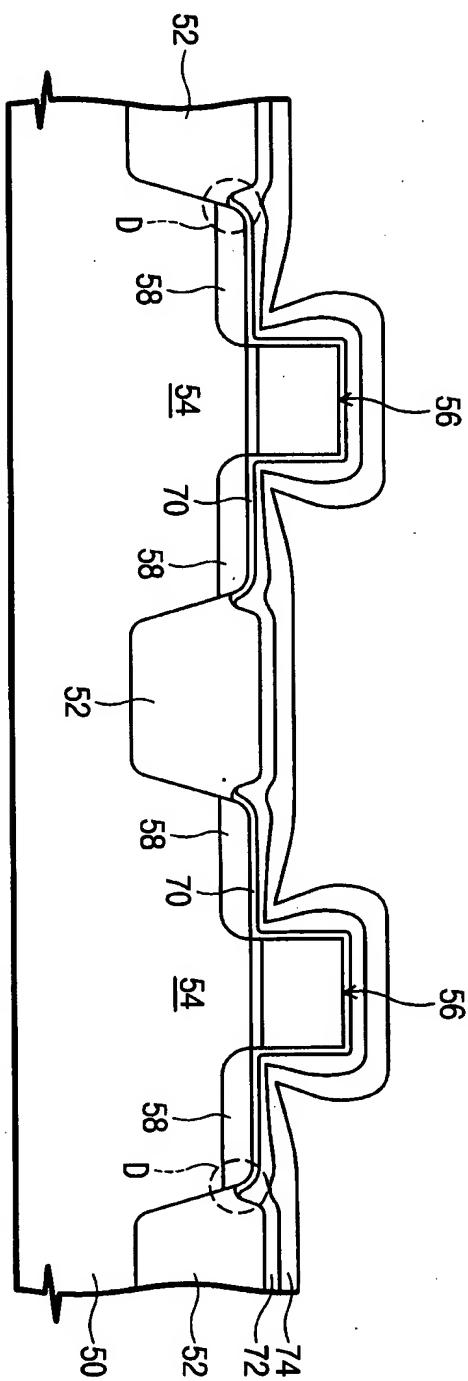
【도 5】



【도 6】



【도 7】

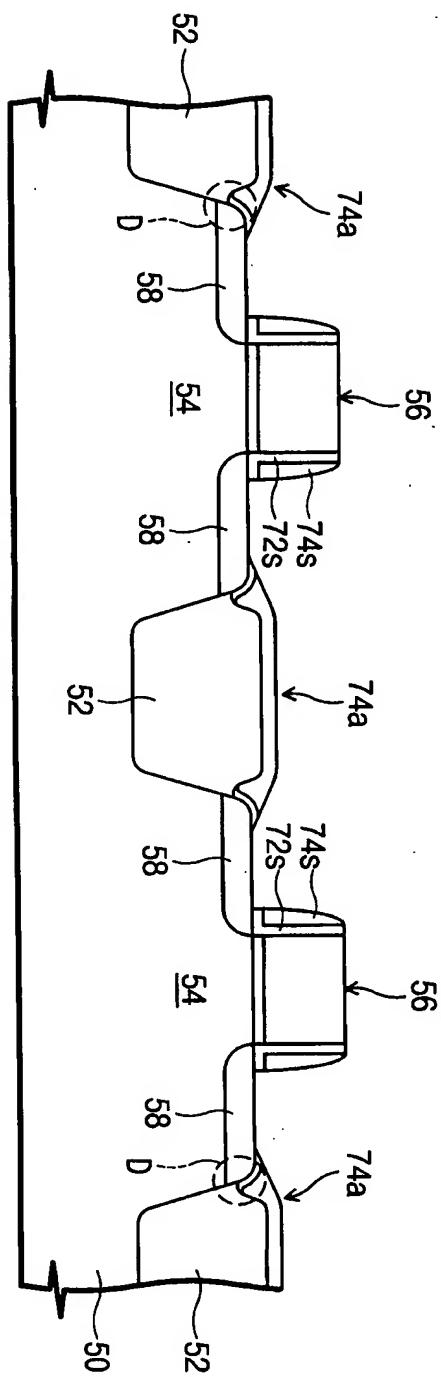




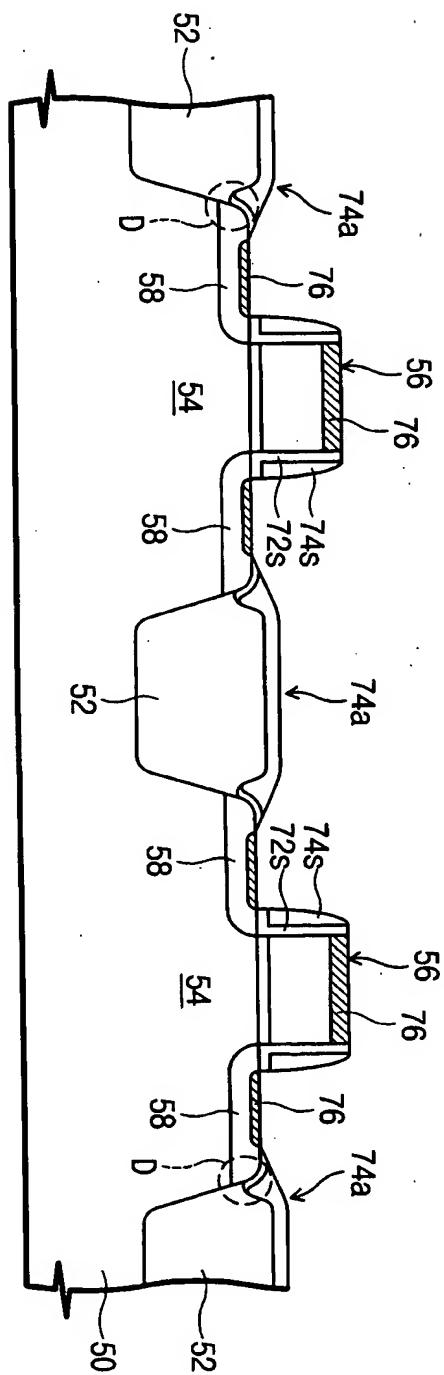
1020030000072

출력 일자: 2003/11/4

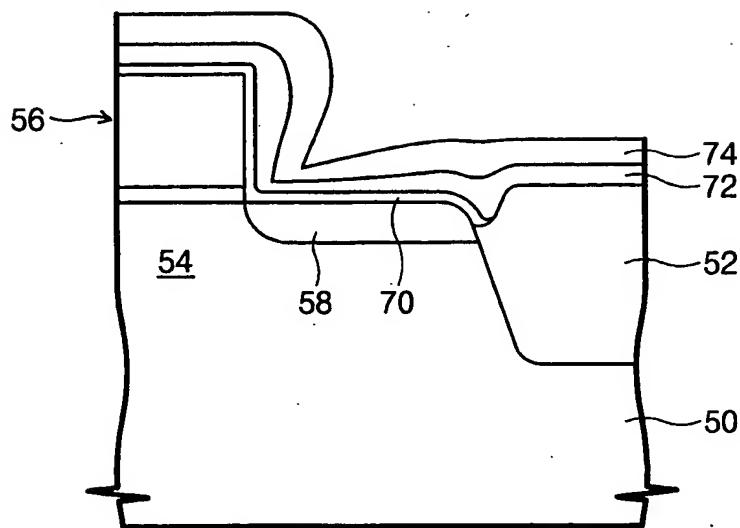
【도 8】



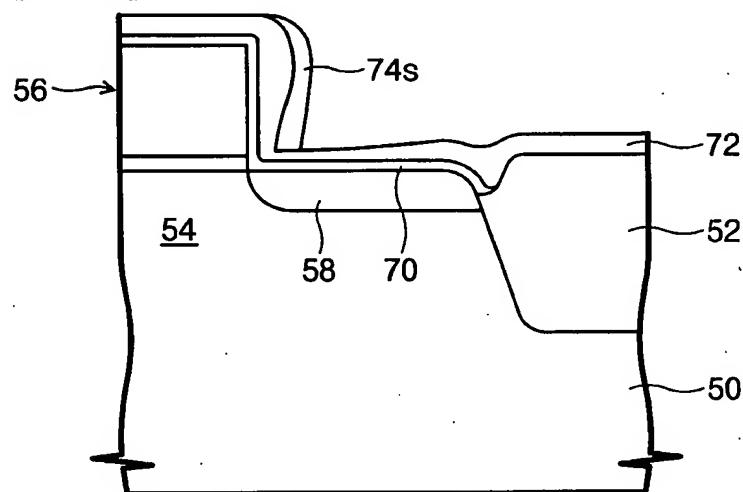
【도 9】



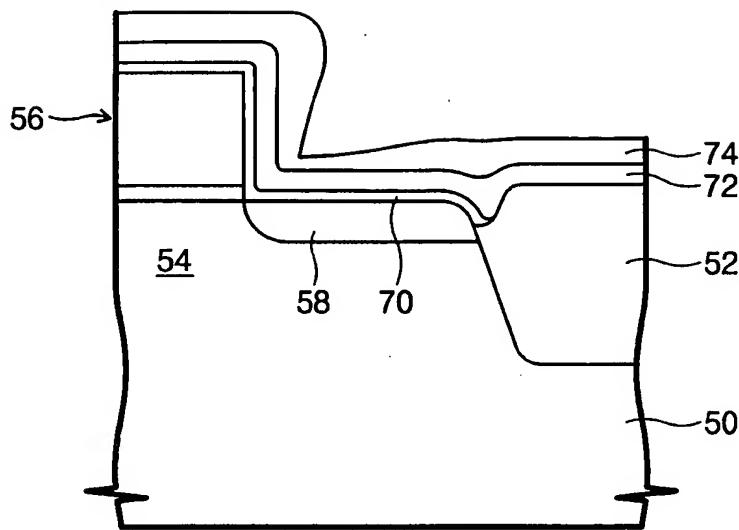
【도 10a】



【도 10b】



【도 11a】



【도 11b】

